



GOAL Hi3510 V100 通信媒体处理器芯片

用户指南

文档版本	04
发布日期	2007-04-20
BOM编码	N/A

深圳市海思半导体有限公司为客户提供全方位的技术支持，用户可与就近的海思办事处联系，也可直接与公司总部联系。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编： 518129

网址： <http://www.hisilicon.com>

客户服务电话： 0755-28788858

客户服务传真： 0755-28788838

客户服务邮箱： support@hisilicon.com.

版权所有 © 深圳市海思半导体有限公司 2007。 保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



、Hisilicon、海思，均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。



目 录

前 言.....	1
1 介绍.....	1-1
1.1 概述.....	1-2
1.2 主要特点.....	1-3
1.2.1 内嵌 RISC 内核.....	1-3
1.2.2 内嵌 DSP 内核.....	1-3
1.2.3 视频编解码.....	1-3
1.2.4 视频处理性能.....	1-3
1.2.5 图形处理.....	1-3
1.2.6 音频编解码.....	1-4
1.2.7 安全加密引擎.....	1-4
1.2.8 以太网交换接口.....	1-4
1.2.9 视频接口.....	1-4
1.2.10 音频接口.....	1-4
1.2.11 外设接口.....	1-4
1.2.12 外部存储器接口.....	1-5
1.2.13 嵌入式操作系统.....	1-5
1.2.14 芯片物理规格.....	1-5
1.3 应用领域.....	1-5
1.4 典型应用.....	1-5
2 处理器子系统.....	2-1
2.1 概述.....	2-2
2.2 ARM926EJ-S 主要特点.....	2-2
2.3 DSP 子系统主要特点.....	2-2
2.4 Hi3510 地址映射关系.....	2-4
3 多端口静态和动态存储控制器.....	3-1
3.1 概述.....	3-2
3.2 功能描述.....	3-2
3.3 信号描述.....	3-2



3.4 寄存器概览.....	3-4
3.5 寄存器描述.....	3-8
3.5.1 MEMC_CONTROL.....	3-8
3.5.2 MEMC_STATUS	3-8
3.5.3 MEMC_CONFIG.....	3-9
3.5.4 MEMC_DYNAMICCONTROL.....	3-9
3.5.5 MEMC_DYNAMICREFRESH.....	3-11
3.5.6 MEMC_DYNAMICREADCONFIG.....	3-11
3.5.7 MEMC_DYNAMICTRP	3-12
3.5.8 MEMC_DYNAMICTRAS	3-12
3.5.9 MEMC_DYNAMICTSREX.....	3-12
3.5.10 MEMC_DYNAMICCTWR.....	3-13
3.5.11 MEMC_DYNAMICTRC	3-13
3.5.12 MEMC_DYNAMICTRFC.....	3-13
3.5.13 MEMC_DYNAMICCTXSR	3-14
3.5.14 MEMC_DYNAMICTRRD.....	3-14
3.5.15 MEMC_DYNAMICCTMRD	3-14
3.5.16 MEMC_DYNAMICCTCDLR.....	3-15
3.5.17 MEMC_STATICEXTENDEDWAIT	3-15
3.5.18 MEMC_DYNAMICCONFIG0.....	3-16
3.5.19 MEMC_DYNAMICRASCAS0	3-19
3.5.20 MEMC_STIATICCONFIG0~3	3-20
3.5.21 MEMC_STIATICWAITWEN0~3.....	3-21
3.5.22 MEMC_STIATICWAITOPEN0~3.....	3-21
3.5.23 MEMC_STIATICWAITRD0~3	3-21
3.5.24 MEMC_STIATICWAITPAGE0~3.....	3-22
3.5.25 MEMC_STIATICWAITWR0~3.....	3-22
3.5.26 MEMC_STIATICWAITTURN0~3	3-23
3.5.27 MEMC_AHBCONTROL0~4.....	3-23
3.5.28 MEMC_AHBSTATUS0~4	3-23
3.5.29 MEMC_AHBTIMEOUT0~4	3-24
4 多端口 DDR SDRAM 存储控制器.....	4-1
4.1 概述.....	4-2
4.2 特点.....	4-2
4.3 信号描述.....	4-2
4.4 寄存器概览.....	4-3
4.5 寄存器描述.....	4-5
4.5.1 DDRC_CONTROL.....	4-5
4.5.2 DDRC_STATUS	4-6
4.5.3 DDRC_CONFIG.....	4-6



4.5.4	DDRC_DYNAMICCONTROL	4-7
4.5.5	DDRC_DYNAMICREFRESH	4-7
4.5.6	DDRC_DYNAMICREADCONFIG	4-8
4.5.7	DDRC_DYNAMICTRP	4-8
4.5.8	DDRC_DYNAMICTRAS	4-9
4.5.9	DDRC_DYNAMICTSREX	4-9
4.5.10	DDRC_DYNAMICTWR	4-9
4.5.11	DDRC_DYNAMICTRC	4-10
4.5.12	DDRC_DYNAMICTRFC	4-10
4.5.13	DDRC_DYNAMICTXSR	4-11
4.5.14	DDRC_DYNAMICTRRD	4-11
4.5.15	DDRC_DYNAMICTMRD	4-11
4.5.16	DDRC_DYNAMICTCDLR	4-12
4.5.17	DDRC_DYNAMICCONFIG0	4-12
4.5.18	DDRC_DYNAMICRASCAS0	4-13
4.5.19	DDRC_AHBCONTROL0~4	4-14
4.5.20	DDRC_AHBSTATUS0~4	4-14
4.5.21	DDRC_AHBTIMEOUT0~4	4-15
5	中断控制器 (VIC)	5-1
5.1	概述	5-2
5.2	特点	5-2
5.3	信号描述	5-2
5.4	工作方式	5-2
5.5	寄存器概览	5-3
5.6	寄存器描述	5-5
5.6.1	VIC_IRQSTATUS	5-5
5.6.2	VIC_FIQSTATUS	5-5
5.6.3	VIC_RAWINTR	5-6
5.6.4	VIC_INTSELECT	5-6
5.6.5	VIC_INTENABLE	5-6
5.6.6	VIC_INTENCLEAR	5-7
5.6.7	VIC_SOFTINT	5-7
5.6.8	VIC_SOFTINTCLEAR	5-8
5.6.9	VIC_PROTECTION	5-8
5.6.10	VIC_VECTADDR	5-9
5.6.11	VIC_DEFVECTADDR	5-9
5.6.12	VIC_VECTADDR0~15	5-9
5.6.13	VIC_VECTCNTL0~15	5-10
6	时钟、复位和系统控制器	6-1
6.1	概述	6-2



6.2 功能描述	6-2
6.2.1 时钟	6-2
6.2.2 复位	6-4
6.2.3 系统控制器	6-6
6.3 寄存器概览	6-10
6.4 寄存器描述	6-11
6.4.1 SC_CTRL	6-11
6.4.2 SC_SYSSSTAT	6-13
6.4.3 SC_ITMCTRL	6-14
6.4.4 SC_IMSTAT	6-14
6.4.5 SC_XTALCTRL	6-15
6.4.6 SC_PLLCTRL	6-16
6.4.7 SC_PLLFCTRL	6-16
6.4.8 SC_PERCTRL0	6-18
6.4.9 SC_PERCTRL1	6-19
6.4.10 SC_PEREN	6-21
6.4.11 SC_PERDIS	6-22
6.4.12 SC_PERCLKEN	6-23
6.4.13 SC_PERSTAT	6-23
6.4.14 Version_ID0	6-24
6.4.15 Version_ID1	6-24
6.4.16 Version_ID2	6-24
6.4.17 Version_ID3	6-25
7 直接存储访问控制器 (DMAC)	7-1
7.1 概述	7-2
7.2 特点	7-2
7.3 功能描述	7-3
7.4 接口信号描述	7-4
7.5 工作方式	7-5
7.6 寄存器概览	7-6
7.7 寄存器描述	7-8
7.7.1 DMAC_INTSTATUS0	7-8
7.7.2 DMAC_INTTCSTATUS0	7-9
7.7.3 DMAC_INTTCCLEAR	7-9
7.7.4 DMAC_INTERRORSTATUS0	7-10
7.7.5 DMAC_INTERRCLR	7-10
7.7.6 DMAC_RAWINTTCSTATUS	7-10
7.7.7 DMAC_RAWINTERRORSTATUS	7-11
7.7.8 DMAC_ENBLDCHNS	7-11
7.7.9 DMAC_SOFTBREQ	7-12



7.7.10 DMAC_SOFTSREQ.....	7-12
7.7.11 DMAC_SOFTLBREQ.....	7-13
7.7.12 DMAC_SOFTLSREQ.....	7-13
7.7.13 DMAC_CONFIGURATION.....	7-13
7.7.14 DMAC_SYNC.....	7-14
7.7.15 DMAC_INTSTATUS1.....	7-15
7.7.16 DMAC_INTTCSTATUS1.....	7-15
7.7.17 DMAC_INTERRORSTATUS1.....	7-15
7.7.18 DMAC_CxSRCADDR.....	7-16
7.7.19 DMAC_CxDESTADDR.....	7-17
7.7.20 DMAC_CxLLI.....	7-17
7.7.21 DMAC_CxCONTROL.....	7-18
7.7.22 DMAC_CxCONFIGURATION.....	7-22
8 TIMER、WatchDog 和 RTC	8-1
8.1 TIMER.....	8-2
8.1.1 概述.....	8-2
8.1.2 特点.....	8-2
8.1.3 寄存器概览.....	8-2
8.1.4 寄存器描述.....	8-3
8.2 WatchDog.....	8-8
8.2.1 概述.....	8-8
8.2.2 特点.....	8-8
8.2.3 寄存器概览.....	8-8
8.2.4 寄存器描述.....	8-9
8.3 RTC.....	8-11
8.3.1 概述.....	8-11
8.3.2 特点.....	8-12
8.3.3 寄存器概览.....	8-12
8.3.4 寄存器描述.....	8-12
9 视频编解码单元.....	9-1
9.1 概述.....	9-2
9.2 视频编解码协处理器.....	9-2
9.3 视频编解码器.....	9-3
9.3.1 视频编码器.....	9-3
9.3.2 视频解码器.....	9-3
10 2D 图形加速引擎(TDE).....	10-1
10.1 概述.....	10-2
10.2 功能描述.....	10-2
10.2.1 特点.....	10-2



10.2.2 支持数据格式.....	10-3
10.2.3 术语描述.....	10-3
10.2.4 支持功能.....	10-4
10.3 工作方式.....	10-5
10.3.1 中断.....	10-6
10.3.2 复位.....	10-6
10.3.3 配置.....	10-6
10.4 寄存器概览.....	10-8
10.5 寄存器描述.....	10-9
10.5.1 控制寄存器 (TDE_CTRL)	10-9
10.5.2 位图大小寄存器 (TDE_SIZE)	10-11
10.5.3 源位图起始地址 (TDE_SOURCE_ADDR)	10-11
10.5.4 目标位图起始地址 (TDE_DET_ADDR)	10-12
10.5.5 输出位图起始地址 (TDE_GOUT_ADDR)	10-12
10.5.6 源位图行间距 (TDE_SOURCE_STRIDE)	10-12
10.5.7 输出位图行间距 (TDE_GOUT_STRIDE)	10-13
10.5.8 颜色填充值 (TDE_COLOR_FILLED)	10-13
10.5.9 color space 最大值 (TDE_COLOR_MAX)	10-14
10.5.10 color space 最小值 (TDE_COLOR_MIN)	10-14
10.5.11 TDE 状态寄存器 (TDE_STATUS)	10-15
11 视频输入单元 (VIU)	11-1
11.1 概述.....	11-2
11.2 功能描述.....	11-2
11.3 信号描述.....	11-3
11.4 工作方式.....	11-3
11.4.1 BT.656/601 YUV4:2:2	11-3
11.4.2 数字 camera 接口.....	11-9
11.4.3 Raw data 接口	11-10
11.4.4 Bayer RGB 输入时序	11-10
11.5 图像存储方式.....	11-11
11.5.1 YC planar 存储.....	11-11
11.5.2 Y/ CB/CR (R/G/B) planar 存储	11-12
11.5.3 Packets 存储.....	11-13
11.5.4 Raw data 存储	11-13
11.6 寄存器概览.....	11-14
11.7 寄存器描述.....	11-15
11.7.1 配置寄存器.....	11-15
11.7.2 时序寄存器.....	11-18
11.7.3 图像获取窗口寄存器.....	11-19



11.7.4 图像存储行间距寄存器	11-21
11.7.5 地址属性寄存器	11-22
11.7.6 控制寄存器	11-23
11.7.7 中断 mask 寄存器	11-25
11.7.8 中断状态寄存器	11-26
11.7.9 状态寄存器	11-26
11.7.10 Y 分量数据存储大小寄存器	11-27
11.7.11 U 分量数据存储大小寄存器	11-27
11.7.12 V 分量数据存储大小寄存器	11-28
11.7.13 VBI 数据位置寄存器	11-28
11.7.14 VBI 数据获取存储寄存器	11-31
11.7.15 图像块屏蔽设置寄存器	11-32
11.7.16 亮度统计寄存器	11-33
12 视频输出单元 (VOU)	12-1
12.1 概述	12-2
12.2 特点	12-2
12.3 信号描述	12-3
12.4 接口协议	12-4
12.5 工作方式	12-4
12.6 寄存器概览	12-5
12.7 寄存器描述	12-6
12.7.1 控制寄存器和硬件鼠标	12-6
12.7.2 中断使能寄存器	12-11
12.7.3 中断状态寄存器	12-12
12.7.4 状态寄存器	12-12
12.7.5 垂直同步寄存器 1	12-13
12.7.6 垂直同步寄存器 2	12-14
12.7.7 水平同步寄存器	12-14
12.7.8 图像寄存器	12-15
12.7.9 叠加图像 1 寄存器	12-16
12.7.10 叠加图像 2 寄存器	12-16
12.7.11 图像偏移寄存器	12-17
12.7.12 背景颜色寄存器	12-17
12.7.13 clip 值寄存器	12-17
12.7.14 Key 的 mask 值寄存器	12-18
12.7.15 叠加图像 1 key 值寄存器	12-18
12.7.16 叠加图像 2 key 值寄存器	12-19
12.7.17 硬件鼠标颜色 0 寄存器	12-19
12.7.18 硬件鼠标颜色 1 寄存器	12-19



12.7.19 硬件鼠标颜色 2 寄存器	12-20
12.7.20 硬件鼠标颜色 3 寄存器	12-20
12.7.21 叠加图像 1 起始位置寄存器	12-20
12.7.22 叠加图像 2 起始位置寄存器	12-21
12.7.23 硬件鼠标起始位置寄存器	12-21
12.7.24 叠加图像 1 alpha 值寄存器	12-22
12.7.25 叠加图像 2 alpha 值寄存器	12-22
12.7.26 视频图像亮度分量地址寄存器	12-23
12.7.27 视频图像色度分量地址寄存器	12-23
12.7.28 叠加图像 1 地址寄存器	12-23
12.7.29 叠加图像 2 地址寄存器	12-24
12.7.30 硬件鼠标地址寄存器	12-24
12.7.31 主图像亮度和色度行偏移量寄存器	12-24
12.7.32 叠加图像行偏移量寄存器	12-25
13 串行输入输出接口 (SIO)	13-1
13.1 概述	13-2
13.2 特点	13-2
13.2.1 PCM 接口特点	13-2
13.2.2 I ² S 接口特点	13-2
13.3 信号描述	13-3
13.4 工作方式	13-3
13.4.1 时序	13-3
13.4.2 应用说明	13-4
13.5 寄存器概览	13-5
13.6 寄存器描述	13-6
13.6.1 SIO_MODE	13-6
13.6.2 SIO_INTR_STATUS	13-6
13.6.3 SIO_INTR_CLR	13-7
13.6.4 发送数据寄存器	13-7
13.6.5 接收数据寄存器	13-8
13.6.6 I2S_CT_SET	13-8
13.6.7 SIO_ICD	13-10
13.6.8 SIO_RX_STA	13-10
13.6.9 SIO_TX_STA	13-10
13.6.10 SIO_PCM_CT_SET/ SIO_PCM_CT_CLR	13-11
14 通用目的输入输出接口 (GPIO)	14-1
14.1 概述	14-2
14.2 特点	14-2
14.3 信号描述	14-2



14.4 工作方式.....	14-3
14.4.1 复用说明.....	14-3
14.4.2 使用指南.....	14-7
14.5 寄存器概览.....	14-9
14.6 寄存器描述.....	14-10
14.6.1 GPIO_DATA.....	14-10
14.6.2 GPIO_DIR.....	14-10
14.6.3 GPIO_IS.....	14-10
14.6.4 GPIO_IBE.....	14-11
14.6.5 GPIO_IEV.....	14-11
14.6.6 GPIO_IE.....	14-12
14.6.7 GPIO_RIS.....	14-12
14.6.8 GPIO_MIS.....	14-12
14.6.9 GPIO_IC.....	14-13
14.6.10 GPIO_AFSEL.....	14-13
14.7 GPIO 配置示例.....	14-13
14.7.1 注意事项.....	14-13
14.7.2 配置过程.....	14-14
14.7.3 GPIO 中断配置树形图.....	14-14
15 通用异步收发器 (UART)	15-1
15.1 概述.....	15-2
15.2 特点.....	15-2
15.3 信号描述.....	15-2
15.4 工作方式.....	15-3
15.5 寄存器概览.....	15-3
15.6 寄存器描述.....	15-4
15.6.1 UART_DR.....	15-4
15.6.2 UART_RSR/UART_ECR.....	15-4
15.6.3 UART_FR.....	15-5
15.6.4 UART_LPR.....	15-6
15.6.5 UART_IBRD.....	15-7
15.6.6 UART_FBRD.....	15-7
15.6.7 UART_LCR_H.....	15-8
15.6.8 UART_CR.....	15-9
15.6.9 UART_IFLS.....	15-10
15.6.10 UART_IMSC.....	15-11
15.6.11 UART_RIS.....	15-12
15.6.12 UART_MIS.....	15-13
15.6.13 UART_ICR.....	15-14
15.6.14 UART_DMACR.....	15-15



16 SSP 接口	16-1
16.1 概述	16-2
16.2 特点	16-2
16.3 信号描述	16-3
16.4 工作方式	16-3
16.5 寄存器概览	16-5
16.6 寄存器描述	16-5
16.6.1 控制寄存器 0 (SSP_CR0)	16-5
16.6.2 控制寄存器 1 (SSP_CR1)	16-6
16.6.3 接收/发送 FIFO (SSP_DR)	16-7
16.6.4 状态寄存器 (SSP_SR)	16-7
16.6.5 时钟生成寄存器 (SSP_CPSR)	16-8
16.6.6 中断屏蔽设置/清除寄存器 (SSP_IMSC)	16-9
16.6.7 原始中断状态寄存器 (SSP_RIS)	16-9
16.6.8 屏蔽后中断状态寄存器 (SSP_MIS)	16-10
16.6.9 中断清除寄存器 (SSP_ICR)	16-10
16.6.10 DMA 控制寄存器 (SSP_DMACR)	16-11
17 I²C 接口	17-1
17.1 概述	17-2
17.2 特点	17-2
17.3 信号描述	17-2
17.4 工作方式	17-2
17.5 寄存器概览	17-3
17.6 寄存器描述	17-5
17.6.1 IIC_CON	17-5
17.6.2 IIC_TAR	17-6
17.6.3 IIC_SAR	17-6
17.6.4 IIC_HS_MADDR	17-7
17.6.5 IIC_DATA_CMD	17-7
17.6.6 IIC_SS_SCL_HCNT	17-8
17.6.7 IIC_SS_SCL_LCNT	17-8
17.6.8 IIC_FS_SCL_HCNT	17-8
17.6.9 IIC_FS_SCL_LCNT	17-8
17.6.10 IIC_HS_SCL_HCNT	17-9
17.6.11 IIC_HS_SCL_LCNT	17-9
17.6.12 IIC_INTR_STAT	17-9
17.6.13 IIC_INTR_MASK	17-10
17.6.14 IIC_RAW_INTR_STAT	17-11
17.6.15 IIC_RX_TL	17-13
17.6.16 IIC_TX_TL	17-13



17.6.17 IIC_CLR_INTR	17-13
17.6.18 IIC_CLR_RX_UNDER.....	17-14
17.6.19 IIC_CLR_RX_OVER	17-14
17.6.20 IIC_CLR_TX_OVER.....	17-14
17.6.21 IIC_CLR_RD_REQ	17-15
17.6.22 IIC_CLR_TX_ABRT	17-15
17.6.23 IIC_CLR_RX_DONE	17-15
17.6.24 IIC_CLR_ACTIVITY	17-16
17.6.25 IIC_CLR_STOP_DET	17-16
17.6.26 IIC_CLR_START_DET	17-16
17.6.27 IIC_CLR_GEN_CALL	17-16
17.6.28 IIC_ENABLE.....	17-17
17.6.29 IIC_STATUS	17-17
17.6.30 IIC_TXFLR.....	17-18
17.6.31 IIC_RXFLR.....	17-18
17.6.32 IIC_TX_ABRT_SOURCE	17-19
17.6.33 IIC_DMA_CR.....	17-20
17.6.34 IIC_DMA_TDLR.....	17-20
17.6.35 IIC_DMA_RDLR.....	17-20
17.6.36 IIC_COMP_PARAM_1	17-21
18 以太网交换单元 (SF)	18-1
18.1 概述.....	18-2
18.2 特点.....	18-2
18.3 信号描述.....	18-4
18.4 工作方式.....	18-6
18.4.1 接口时序.....	18-6
18.4.2 SF 初始化配置	18-11
18.4.3 SF 中断管理	18-15
18.4.4 CPU 端口收发帧	18-15
18.5 寄存器概览.....	18-18
18.6 寄存器描述.....	18-19
18.6.1 MAC 寄存器组.....	18-19
18.6.2 统计计数寄存器组.....	18-22
18.6.3 MDIO 寄存器组	18-35
18.6.4 IRF 和 ERF 寄存器组	18-39
18.6.5 全局寄存器组.....	18-41
18.6.6 IQM 管理寄存器组	18-49
18.6.7 BM 管理寄存器组.....	18-55
18.7 外部端口 RMON/SNMP 统计计数结果寄存器	18-65
18.7.1 ANYPORT 帧配置表.....	18-73



18.7.2 ANYTYPE 帧配置表.....	18-74
18.7.3 VLAN 表.....	18-75
19 加密单元.....	19-1
19.1 DES 加密单元	19-2
19.1.1 概述.....	19-2
19.1.2 特点.....	19-2
19.1.3 工作方式.....	19-2
19.1.4 寄存器概览.....	19-3
19.1.5 寄存器描述.....	19-4
19.2 AES 加密单元.....	19-12
19.2.1 概述.....	19-12
19.2.2 特点.....	19-12
19.2.3 工作方式.....	19-12
19.2.4 寄存器概览.....	19-14
19.2.5 寄存器描述.....	19-15
20 模式配置与接口调试	20-1
20.1 概述.....	20-2
20.2 信号描述.....	20-2
20.3 工作方式.....	20-3
20.3.1 模式配置.....	20-3
20.3.2 调试接口.....	20-4
20.3.3 调试模式.....	20-4
21 时序和参数.....	21-1
21.1 时序图例.....	21-2
21.2 USB 时钟时序和参数	21-2
21.3 存储接口时序参数.....	21-3
21.3.1 SDRAM 接口时序参数.....	21-3
21.3.2 DDR 接口时序参数	21-3
21.4 串行口时序参数	21-5
21.4.1 I ² C 时序参数.....	21-5
21.4.2 SSP 时序参数	21-6
21.5 ETM 时序参数.....	21-6
21.6 SIO 接口时序参数.....	21-7
21.7 VI 视频输入接口时序参数.....	21-8
21.8 VO 视频输出接口时序参数	21-9
21.9 SF 以太网交换 RMII 接口时序 (50MHz) 参数.....	21-10
22 电性能参数.....	22-1
22.1 DC 参数	22-2



22.2 极限参数.....	22-3
22.3 推荐工作条件.....	22-3
23 管脚描述.....	23-1
23.1 接口说明.....	23-2
23.2 接口信号.....	23-2
23.3 复用信号.....	23-18
23.4 电源、地和 NC 管脚.....	23-23
24 封装、管脚分布.....	24-1
24.1 封装.....	24-2
24.2 管脚分布.....	24-4
A 管脚功能速查表.....	A-1
B 术语.....	B-1
C 缩略语.....	C-1



插图目录

图 1-1 Hi3510 内部逻辑框图.....	1-2
图 1-2 Hi3510 宽带 IP 可视电话典型应用	1-6
图 1-3 Hi3510 IP Camera 典型应用	1-6
图 2-1 Remap 前 Hi3510 地址映射关系图.....	2-5
图 2-2 Remap 后 Hi3510 地址映射关系图.....	2-6
图 3-1 MEMC 功能框图	3-2
图 4-1 DDRC 功能框图.....	4-2
图 6-1 复位信号结构图.....	6-5
图 6-2 各种状态的迁移图.....	6-7
图 7-1 DMAC 功能框图.....	7-3
图 7-2 DMAC 的请求线与其他外设的对应关系.....	7-4
图 8-1 TIMER 功能框图	8-2
图 10-1 TDE 功能框图.....	10-2
图 10-2 TDE 配置举例	10-7
图 10-3 TDE 位图存储示意图	10-8
图 11-1 VIU 功能框图.....	11-2
图 11-2 像素输入时序.....	11-4
图 11-3 模拟全电视信号对于的数字行采样时序	11-4
图 11-4 ITU-R BT. 601 行时序图	11-5
图 11-5 NTSC 制式垂直同步时序图.....	11-7
图 11-6 PAL 制式垂直同步时序图.....	11-7
图 11-7 软件配置的水平时序图	11-9
图 11-8 软件配置的垂直时序图	11-9
图 11-9 数字 camera 支持的水平、垂直时序图.....	11-10
图 11-10 bayer 数据垂直时序	11-10



图 11-11 bayer 数据奇数行水平时序	11-11
图 11-12 bayer 数据偶数行水平时序	11-11
图 11-13 YUV4:2:2 的存储方式	11-12
图 11-14 big endian 和 little endian 图像存储方式	11-12
图 11-15 Y/CB/CR 或 R/G/B 图像存储 big endian&little endian 方式	11-13
图 11-16 图像存储 packets 方式	11-13
图 11-17 raw data 8bit 存储方式	11-13
图 11-18 raw data 9/10bit 存储方式	11-13
图 11-19 图像获取参数示意图	11-20
图 11-20 VIU 的硬件工作流程	11-24
图 11-21 VBI 数据位置示意图	11-29
图 12-1 VOU 功能框图	12-2
图 13-1 PCM 接口时序（上升沿发送）	13-3
图 13-2 PCM 接口时序（下降沿发送）	13-4
图 13-3 I2S 接口时序	13-4
图 13-4 音频接口 DSP MODE 时序	13-4
图 14-1 键盘扫描阵列示意图	14-8
图 14-2 GPIO 中断配置树形图	14-15
图 15-1 UART 帧格式	15-3
图 16-1 SSP 功能框图	16-2
图 16-2 TI Synchronous Serial Frame Protocol（Single Transfers）接口时序	16-3
图 16-3 TI Synchronous Serial Frame Protocol（Multiple Transfers）接口时序	16-3
图 16-4 Motorola SPI Frame Protocol（Single Transfers）接口时序	16-4
图 16-5 Motorola SPI Frame Protocol（Multiple Transfers）接口时序	16-4
图 16-6 National Semiconductor MicroWire Protocol（Single Transfers）接口时序	16-4
图 16-7 National Semiconductor MicroWire Protocol（Multiple Transfers）接口时序	16-4
图 17-1 I ² C 数据传输格式	17-3
图 18-1 SF 功能框图	18-2
图 18-2 MII 接口接收时序图	18-6
图 18-3 MII 接口发送时序图	18-7
图 18-4 RMII 接口时序图	18-7
图 18-5 100Mbit/s MII 接口接收时序图	18-8



图 18-6 100Mbit/s MII 接口发送时序图	18-8
图 18-7 10Mbit/s MII 接口接收时序图	18-9
图 18-8 10Mbit/s MII 接口发送时序图	18-9
图 18-9 100Mbit/s RMII 接口接收时序图.....	18-9
图 18-10 100Mbit/s RMII 接口发送时序图.....	18-10
图 18-11 MDIO 读时序图	18-10
图 18-12 MDIO 写时序图	18-10
图 18-13 MDIO 接收时序图	18-11
图 18-14 MDIO 发送时序图	18-11
图 19-1 DES 操作流程图中.....	19-3
图 19-2 AES 加密单元操作流程图中.....	19-13
图 20-1 采用 ETM 进行调试的系统示例图中.....	20-5
图 20-2 单独对 DSP 程序进行调试的系统示例图中.....	20-6
图 20-3 Dual-Core 调试系统示例图中.....	20-7
图 21-1 时序图例.....	21-2
图 21-2 USB 时钟时序图	21-2
图 21-3 SDRAM 接口时序.....	21-3
图 21-4 DDR 接口时序	21-4
图 21-5 DDR 接口输出时序	21-4
图 21-6 DDR 接口输入时序	21-4
图 21-7 I ² C 传输时序	21-5
图 21-8 SSP 主模式时序	21-6
图 21-9 ETM 时钟时序图	21-6
图 21-10 ETM 接口时序图	21-7
图 21-11 SIO 接口时序	21-8
图 21-12 VI 视频输入接口时序.....	21-9
图 21-13 VO 视频输出接口时序	21-9
图 21-14 50MHz 时 RMII 接口时序.....	21-10
图 24-1 芯片尺寸视图（俯视图）	24-2
图 24-2 芯片尺寸视图（仰视图）	24-2
图 24-3 芯片尺寸视图（侧视图）	24-3
图 24-4 Detail A 的放大图	24-3



图 24-5 Detail B 的放大图	24-3
图 24-6 Hi3510 管脚分布图（俯视图）	24-6



表格目录

表 2-1 DSP 子系统中断源分配表.....	2-3
表 3-1 多端口静态存储控制器接口信号描述.....	3-3
表 3-2 多端口动态存储控制器接口信号描述.....	3-3
表 3-3 MEMC 寄存器概览（基址是 0x1011_0000）.....	3-4
表 3-4 16bit 外部总线地址映射（Row, Bank, Column）.....	3-16
表 3-5 16bit 外部总线, Low-power SDRAM 地址映射（Bank, Row, Column）.....	3-17
表 3-6 32bit 外部总线地址映射（Row, Bank, Column）.....	3-18
表 3-7 32bit 外部总线 Low-power SDRAM 地址映射（Bank, Row, Column）.....	3-18
表 4-1 多端口 DDR SDRAM 存储控制器接口信号描述.....	4-2
表 4-2 DDRC 寄存器概览（基址是 0x1015_0000）.....	4-3
表 4-3 16bit 外部总线地址映射（Row, Bank, Column）.....	4-13
表 5-1 VIC 接口信号描述.....	5-2
表 5-2 中断请求分配.....	5-3
表 5-3 VIC 寄存器概览（基址是 0x1014_0000）.....	5-3
表 6-1 4 个外部输入的时钟比较.....	6-2
表 6-2 时钟接口信号描述.....	6-3
表 6-3 复位单元接口信号描述.....	6-5
表 6-4 系统控制器状态和时钟切换对应关系表.....	6-8
表 6-5 系统控制器寄存器概览（基址是：0x101E_0000）.....	6-11
表 7-1 DMA 接口信号描述.....	7-5
表 7-2 DMAC 硬件请求线和相应设备的对应关系.....	7-5
表 7-3 DMAC 寄存器概览（基址是 0x1013_0000）.....	7-6
表 7-4 DBSize、SBSize 的值和对应 burst 长度的关系说明.....	7-20
表 7-5 DWidth 和 SWidth 的值和对应传输位宽的关系说明.....	7-21
表 7-6 DMAC_CxCONTROL 寄存器 Prot 段属性及定义.....	7-22



表 7-7 流控及传输类型说明.....	7-25
表 8-1 TIMER12 寄存器概览（基址是 0x101E_2000）	8-3
表 8-2 TIMER34 寄存器概览（基址是 0x101E_3000）	8-3
表 8-3 WatchDog 寄存器概览（基址是 0x101E_1000）	8-9
表 8-4 RTC 寄存器概览（基址是 0x101E_8000）	8-12
表 10-1 TDE 寄存器概览（基址是 0x9001_0000）	10-8
表 10-2 CMD 寄存器详细描述.....	10-10
表 10-3 ROP2 操作符详细描述.....	10-10
表 11-1 视频输入接口（VIU）信号.....	11-3
表 11-2 ITU-R BT.656 YUV 4:2:2 行数据格式.....	11-5
表 11-3 SAV/EAV Format	11-5
表 11-4 有效 SAV/EAV 值.....	11-5
表 11-5 PAL 和 NTSC 制式 TV 图像帧对比	11-6
表 11-6 ITU-R BT.601 一帧有效行数据.....	11-8
表 11-7 ITU-R BT.656 帧时序	11-8
表 11-8 VIU 寄存器概览（基址是 0x9000_0000）	11-14
表 12-1 VOU 视频输出接口信号	12-3
表 12-2 SIO 与 LCD 复用关系对应表	12-4
表 12-3 VOU 寄存器概览（基址是 0x1012_0000）	12-5
表 12-4 控制寄存器.....	12-7
表 12-5 main_mode 的描述.....	12-9
表 12-6 32×32×2bpp 双色和透明模式列表	12-10
表 12-7 32×32×2bpp 四色模式列表	12-10
表 12-8 2×32×2bpp 三色和透明模式列表	12-11
表 13-1 SIO 接口信号描述	13-3
表 13-2 SIO0 寄存器概览（基址是 0x8008_0000）	13-5
表 13-3 SIO1 寄存器概览（基址是 0x9002_0000）	13-5
表 13-4 配置寄存器表.....	13-8
表 14-1 GPIO 接口信号描述	14-2
表 14-2 GPIO 复用描述	14-3
表 14-3 GPIO 复用对照表	14-4
表 14-4 8 组 GPIO 寄存器的基址.....	14-9



表 14-5 GPIO 寄存器一览表	14-9
表 15-1 UART 接口信号描述	15-2
表 15-2 UART 寄存器概览	15-3
表 15-3 典型的波特率及误差对应关系表	15-7
表 16-1 SSP 接口信号描述	16-3
表 16-2 SSP 寄存器概览（基址是 0x101F_4000）	16-5
表 17-1 I ² C 接口信号描述	17-2
表 17-2 I2C 寄存器概览（基址是 0x101F_6000）	17-3
表 18-1 以太网交换单元接口信号描述	18-4
表 18-2 MII 接口的时序参数	18-7
表 18-3 RMI 接口的时序参数	18-7
表 18-4 MDIO 接收时序参数表	18-11
表 18-5 MDIO 发送时序参数表	18-11
表 18-6 寄存器 SF_MDIO_REG0 中对比特的描述（写 PHY 寄存器）	18-12
表 18-7 寄存器 SF_MDIO_REG0 中对比特的描述（读 PHY 寄存器）	18-13
表 18-8 CPU 接收帧描述子数据结构	18-15
表 18-9 CPU 发送帧描述子数据结构	18-17
表 18-10 以太网交换单元寄存器概览（基址是 0xA002_0000）	18-18
表 18-11 STATIS 统计结果部分寄存器的属性和定义	18-65
表 18-12 ANYPORT 表项数据结构	18-74
表 18-13 ANYTYPE 表项数据结构	18-75
表 18-14 VLAN 表项数据结构	18-76
表 19-1 DES 寄存器概览（基址是 0x101F_B000）	19-4
表 19-2 DES_DIN 在不同的工作模式和位宽下的意义	19-4
表 19-3 DES 单元中工作模式和配置 DES_IVIN 的情况	19-5
表 19-4 DES 单元中密钥与 DES_KEY1 的关系	19-6
表 19-5 DES 单元中密钥与 DES_KEY2 的关系	19-7
表 19-6 DES 单元中密钥与 DES_KEY3 的关系	19-8
表 19-7 DES_DOUT 在不同的工作模式和位宽下的意义	19-9
表 19-8 DES 单元中工作模式和配置 DES_IVOUT 的情况	19-10
表 19-9 DES 的状态描述	19-11
表 19-10 AES 控制寄存器概览（基址是 0x101FE000）	19-14



表 19-11 AES_DIN 在不同的工作模式和位宽下的意义.....	19-15
表 19-12 AES 单元中工作模式和配置 AES_IVIN 的关系.....	19-16
表 19-13 AES_DOUT 在不同的工作模式和位宽下的意义.....	19-17
表 19-14 AES_IVOUT 在不同的工作模式下的意义.....	19-18
表 19-15 AES 的状态描述.....	19-19
表 20-1 模式配置接口信号描述.....	20-2
表 20-2 JTAG 接口信号描述.....	20-2
表 20-3 ETM9 调试接口信号描述.....	20-3
表 20-4 TEST_MODE 的含义.....	20-3
表 21-1 USB 时钟时序参数.....	21-2
表 21-2 SDRAM 接口时序参数列表.....	21-3
表 21-3 DDR 接口时序参数列表.....	21-4
表 21-4 I ² C 接口时序参数.....	21-5
表 21-5 SSP 主模式时序参数.....	21-6
表 21-6 ETM 时钟时序参数.....	21-7
表 21-7 ETM 接口时序参数.....	21-7
表 21-8 SIO 接口时序参数.....	21-8
表 21-9 VI 视频输入接口时序参数.....	21-9
表 21-10 VO 视频输出接口时序参数.....	21-9
表 21-11 50MHz 时 RMI 接口的时序参数.....	21-10
表 22-1 DC 参数表 (VDDIO33=3.3V).....	22-2
表 22-2 DC 参数表 (VDDIO25=2.5V).....	22-2
表 22-3 极限参数表.....	22-3
表 22-4 推荐工作条件.....	22-3
表 23-1 接口符号说明.....	23-2
表 23-2 Hi3510 接口信号描述表.....	23-2
表 23-3 管脚复用说明.....	23-19
表 23-4 电源和地管脚描述.....	23-23
表 24-1 封装参数说明表.....	24-4
表 24-2 Hi3510 V100 管脚数目统计表.....	24-4
表 24-3 管脚排列表 (按管脚名排序).....	24-7
表 24-4 管脚排列表 (按位置排序).....	24-13



表 A-1 管脚功能速查表..... A-1



前言

概述

本节介绍本文档的内容、对应的产品版本、适用的读者对象、行文表达约定、历史修订记录等。

产品版本

与本文档相对应的产品版本如下所示。

产品名称	产品版本
Hi3510芯片	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 电子产品设计维护人员
- 电子产品元器件市场销售人员

内容简介

本文档介绍了数字媒体处理器芯片 Hi3510（以下简称 Hi3510）的特性、逻辑结构，详细描述芯片的各个模块的功能和模块相关寄存器含义，用图表的方式给出了接口时序关系和相关参数，并详细描述芯片的管脚定义和用途以及芯片的性能参数和封装尺寸。最后提供了术语表和缩略语。全书共分为 24 章和 1 个附录。

章节	内容
1 介绍	简要介绍Hi3510芯片主要特点、内部模块的功能和典型应用方案。
2 处理器子系统	详细介绍ARM926EJS和DSP两个子系统的特点，并介绍地址映射关系。
3 多端口静态和动态存储控制器	详细介绍多端口静态和动态存储控制器的功能、工作方式、各个寄存器的用途和使用方法。



章节	内容
4 多端口DDR SDRAM储存控制器	详细介绍多端口DDR SDRAM存储控制器（DDRC）的功能、工作方式、各个功能寄存器的用途和使用方法。
5 中断向量控制器（VIC）	详细介绍VIC的功能、工作方式、各个功能寄存器的用途和使用方法。
6 时钟、复位和系统控制器	详细介绍时钟单元和复位单元的功能和使用方法，并且还介绍了系统控制器的运行模式及各个功能寄存器的用途和使用方法。
7 直接存储访问控制器（DMAC）	详细介绍DMAC的功能、工作方式、各个功能寄存器的用途和使用方法。
8 Timer、WatchDog和RTC	详细介绍Timer、WatchDog和RTC的功能、工作方式及各个功能寄存器的用途和使用方法。
9 视频解码器单元	详细描述视频协处理器和视频编解码单元的特点。
10 2D图形加速引擎（TDE）	详细介绍TDE的功能、工作方式、各个功能寄存器的用途和使用方法。
11 视频输入单元（VIU）	详细介绍VIU的基本功能、接口信号、各个功能寄存器的用途和使用方法。
12 视频输出单元（VOU）	详细介绍VOU的功能、工作方式、各个功能寄存器的用途和使用方法。
13 串行输入输出接口（SIO）	详细介绍SIO的功能、工作方式、各个功能寄存器的用途和使用方法。
14 通用目的输入输出接口（GPIO）	详细介绍GPIO的功能、工作方式、各个功能寄存器的用途和使用方法。
15 通用异步收发器（UART）	详细介绍UART的功能、工作方式、各个功能寄存器的用途和使用方法。
16 SSP接口	详细介绍SSP接口的功能、工作方式、各个功能寄存器的用途和使用方法。
17 I ² C接口	详细介绍I ² C接口的功能、工作方式、各个功能寄存器的用途和使用方法。
18 以太网交换单元（SF）	详细介绍SF的功能、工作方式、各个功能寄存器的用途和使用方法。
19 加密单元	详细介绍DES和AES的功能、工作方式、各个功能寄存器的用途和使用方法。
20 模式配置与接口调试	详细介绍模式配置与接口调试的接口信号及工作方式。
21 时序和参数	详细介绍Hi3510芯片各个接口的时序和参数。
22 电性能参数	给出芯片的电性能参数、应用环境参数和可靠性参数。








章节	内容
23 管脚描述	详细列出Hi3510芯片接口信号功能和复用说明。
24 封装和管脚分布	描述Hi3510芯片的封装尺寸、管脚分布。
附录A 管脚功能速查表	列出Hi3510芯片的管脚，可实现快速查找。
附录B 术语表	收录本书中出现的术语，并给出了中文解释。
附录C 缩略语表	收录本书中出现的缩略语，并给出英文全称及中文解释。

约定

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	以本标志开始的文本表示有高度潜在危险，如果不能避免，会导致人员死亡或严重伤害。
 警告	以本标志开始的文本表示有中度或低度潜在危险，如果不能避免，可能导致人员轻微或中等伤害。
 注意	以本标志开始的文本表示有潜在风险，如果忽视这些文本，可能导致设备或器件损坏、数据丢失、设备性能降低或不可预知的结果。
 窍门	以本标志开始的文本能帮助您解决某个问题或节省您的时间。
 说明	以本标志开始的文本是正文的附加信息，是对正文的强调和补充。

通用格式约定

格式	说明
宋体	正文采用宋体表示。
黑体	一级、二级、三级标题采用黑体。
楷体	警告、提示等内容一律用楷体，并且在内容前后增加线条与正文隔离。



格式	说明
“Terminal Display”格式	“Terminal Display”格式表示屏幕输出信息。此外，屏幕输出信息中夹杂的用户从终端输入的信息采用加粗字体表示。

说明

寄存器访问类型说明

符号	说明
R	表示寄存器的属性为只读。
W	表示寄存器的属性为只写。
R/W	表示寄存器的属性为可读和可写。
RO	只读型，CPU只能对寄存器读操作。
RW	读/写型，CPU能够对寄存器读操作或写操作。
RWC	读/写清零型，CPU可读但只能写0，内部功能模块只能将寄存器设置为1。
RWS	读/写置位型，CPU可读但只能写1，内部功能模块只能将其设置为0。
RC	读清零型，CPU可读，读取后该寄存器被内部功能模块清零，但只能将其置位。
RCI	读清零/递增型，CPU可读，只能通过将其写0才能将其清零，内部功能模块在计数条件满足时对寄存器进行加1操作，实现相关统计功能。

表格内容说明

内容	说明
-	表格中的无内容单元。
*	表格中的内容用户可根据需要进行信息配置。

数值单位说明

在描述数据容量（如 RAM 容量）时：1K 代表 1024；1M 代表 1,048,576。

在描述其他数据（如频率、数据速率等）时：1K 代表 1000；1M 代表 1,000,000；1G 代表 1,000,000,000。

地址、数据的 2 进制、16 进制表达方式说明如下：



符号	举例	说明
0xXXXX、0xXX等	0xFE04、0x18	用16进制表示的地址值或复位值
XXXH、XXH等	174H、74H	用16进制表示的数据值
XXXB、XXB、XB等	001B、10B、0B	用2进制表示的数据值
X	0、1	用2进制表示的数据值

修改记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修改日期	版本	修改说明
2007-04-20	04	<ul style="list-style-type: none"> · 修改了 22 章电性能参数一章的部分管脚信息。 · 增加了表 23-2 中“复位状态”一列，修改部分管脚的描述。 · 修改了“<code>IIC_COMP_PARAM_1</code>”的复位值。
2007-01-31	03	<ul style="list-style-type: none"> · 套用新模板。 · 调整原文档中各章节的顺序。 · 寄存器描述中将复位值总体写在表格的前面，不再在表格中对应每个比特列出。 · 将概述中“DRM 和 De-interlace 处理”的特性删除。 · 视频编解码支持“H.264 baseline profile@Level 2.2”改为“H.264 baseline profile@Level 3.0”； · “1.0W 典型功耗”改为“600mW 典型功耗（DVS、IPCamera 应用环境下）”。 · Remap 前后的地址映射关系图都有修改。 · 多个章节增加了功能框图。 · GPIO 一章增加了配置示例。 · SF 一章进行了较多的内容改动。



修改日期	版本	修改说明
2006-06-01	02	<ul style="list-style-type: none"> · 删除 SF 的 NAT 和内环回等功能及相关寄存器描述。 · 修改“任意比例的视频、图形缩放”为“支持视频、图形缩放”。 · 发现正文的 Word 文档的所有二级标题都是从 1.1 开始，重新调整。 · 修改了第 23 章（23.2.2 ETM9 接口说明）的 GPIO 描述 · 修改“信号描述”一章的标题“复位信号”为“复用信号”。 · 修改“时钟与复位”一章中的表 22-2 中“25MHz 钟振时钟”为“27MHz 钟振时钟”； · 修改 GPIO 复用信号 GPIO2[1]、GPIO2[0]的复用描述。 · 修改了正文中的某些章节的第一小节序号，补充了 MEMC 的缩略语解释。 · 因翻译发现部分问题，修改了第 3 章、第 7、8、9、10、11 章的描述，修改了第 12 章的信号描述。 · 修改 ZSP、ZSP500 为 DSP。
2005-11-11	01	<ul style="list-style-type: none"> · 第一次发布。



1 介绍

关于本章

本章描述内容如下表所示。

标题	内容
1.1 概述	概述 Hi3510 芯片。
1.2 主要特点	介绍 Hi3510 芯片中视频编解码、图形处理、以太网交换接口、外围接口和芯片物理规格等单元的特点。
1.3 应用领域	简单列举 Hi3510 芯片的应用领域。
1.4 典型应用	举例说明 Hi3510 芯片的应用。



1.1 概述

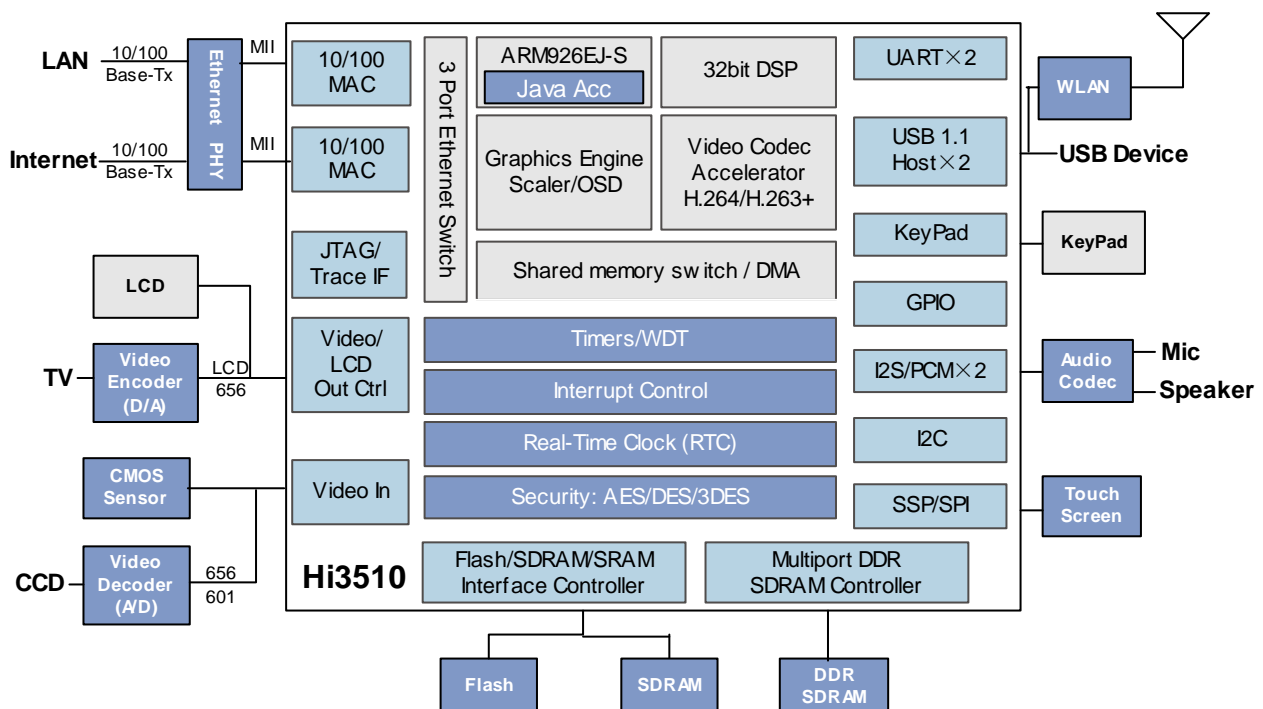
Hi3510 是一款基于 ARM9、DSP 双处理器内核以及硬件加速引擎的高集成、可编程、支持 MPEG-4 AVC/H.264 等多协议的高性能通信媒体处理器芯片，可广泛应用于实时视频通信、数字图像监控等领域。

视频编解码单元能够支持 MPEG-4 AVC/H.264 Baseline、H.263+、H.261 和 JPEG 等多种协议的实时编解码。MPEG-4 AVC/H.264 先进的运动估计、运动补偿、de-blocking 技术极大提高了压缩效率及视频质量。加密和数字水印技术为数据和通信的安全提供了强有力的保障。

图形处理单元能够提供视频去噪、图像增强和运动检测功能；支持视频、图形缩放；支持 OSD、2D 图形加速，为应用图形界面开发提供丰富的特性。

内部集成的 3 端口以太网交换提供了强大的网络通信功能；硬件加密和数字水印技术提供了丰富的安全特性。支持视音频接口、以太网接口、USB、UART、I²C、SPI/SSP、GPIO 等多种丰富的外设接口。

图1-1 Hi3510 内部逻辑框图





1.2 主要特点

本节简单描述了 Hi3510 的特点。

1.2.1 内嵌 RISC 内核

- ARM926EJ-S, 16KB 指令 Cache 和 16KB 数据 Cache
- 内嵌 16KB 指令紧耦合存储器和 8KB 数据紧耦合存储器
- 哈佛结构的 32 位 RISC 处理器
- DSP 增强结构, 内嵌 32×16 MAC (Multiply and Accumulate, 即乘累加器)
- Java 硬件加速
- 内置 MMU, 支持多种开放式操作系统
- 工作频率可达到 240MHz

1.2.2 内嵌 DSP 内核

- 3 个 ALU (1 个 40 位, 2 个 16 位)
- 8 级流水线设计
- 4 发射超标量结构, 双 MAC (Multiply and Accumulate) 结构

1.2.3 视频编解码

- H.264 视频编解码 baseline profile@Level 2.2
- H.263+视频编解码
- H.261 视频编解码
- JPEG 编码, 支持百万像素级分辨率

1.2.4 视频处理性能

- 同时编解码可以达到 30fps@CIF
- 最大支持 D1 分辨率
- 运动检测
- 支持数据带宽 16kbit/s~3Mbit/s

1.2.5 图形处理

- 支持视频、图形缩放
- 视频层、2 个叠加层和硬件鼠标层 alpha 叠加
- 视频去噪, 图像增强
- 2D 图形加速引擎, 支持游戏以及丰富的图像界面



1.2.6 音频编解码

- 可以通过 DSP 内核实现多种音频、语音编解码功能

1.2.7 安全加密引擎

- 硬件实现 AES/DES/3DES 多种加密算法
- 数字水印技术

1.2.8 以太网交换接口

- 1 个 MDIO 接口
- 2 个 MII/RMII 接口
- 2 个外部 10/100 Mbit/s 以太网外部端口与 1 个内部 CPU 端口
- 3 端口之间通过存储转发的方式实现数据交换
- 以太网交换模块可以配置为普通、监听 2 种工作模式
- 支持广播帧、IP 多播帧及两类可配置特殊帧的识别和转发
- 支持 IEEE 802.1p 输出优先级配置及 802.1Q VLAN 处理

1.2.9 视频接口

输入:

- 8 bit ITU-R BT.656/601 YCbCr 4:2:2
- 数字 camera 接口
- Raw Data 接口

输出:

- 8 bit ITU-R BT.656/601 YCbCr 4:2:2
- 24 位 LCD 接口, RGB/YCbCr 数据格式
- Raw Data 接口

1.2.10 音频接口

- 2 个 I²S 音频接口, 输入、输出接口各 2 个通道
- 16 位采样精度, 采样率可配置
- PCM 接口

1.2.11 外设接口

- USB1.1 Host 接口, 支持低速、全速模式
- UART、I²C 接口、SSP/SPI 串行接口
- GPIO、键盘接口



1.2.12 外部存储器接口

- 支持 16 数据位宽 DDR SDRAM 接口
- 支持 32 数据位宽 SDRAM 接口
- 支持 8/16/32 数据位宽外部静态存储接口
- 支持 8/16/32 数据位宽扩展总线接口

1.2.13 嵌入式操作系统

- Linux、WinCE、VxWorks

1.2.14 芯片物理规格

- 600mW 典型功耗（DVS、IP Camera 应用环境下）
- 支持多级省电模式
- 0.13 μ m 工艺，1.2/2.5/3.3 V 芯片供电电压
- 400 pin LFBGA 封装，0.8mm 管脚间距，19mm \times 19mm \times 1.36mm
- 工作环境温度：-25 $^{\circ}$ C \sim +85 $^{\circ}$ C

1.3 应用领域

Hi3510 可应用在以下几个领域：

- 视频通信终端
- 宽带可视电话
- 网络视频监控

1.4 典型应用

图 1-2 和图 1-3 分别描述了 Hi3510 在宽带可视电话、网络视频监控的典型应用。



图1-2 Hi3510 宽带 IP 可视电话典型应用

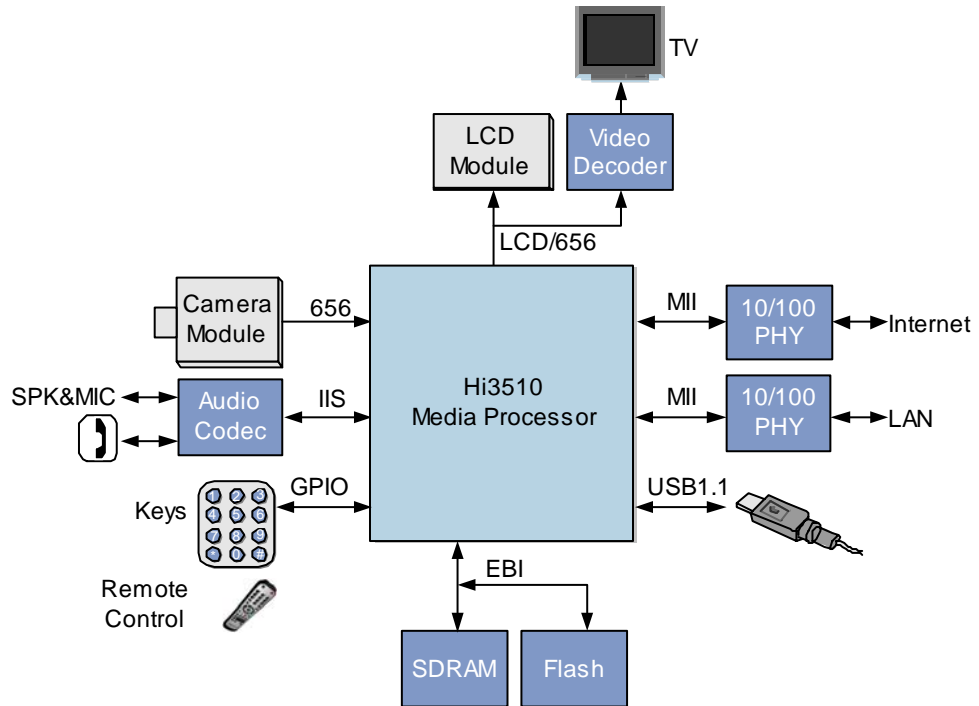


图1-3 Hi3510 IP Camera 典型应用

